

DERWENT-ACC-NO: 1997-542505

DERWENT-WEEK: 199750

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Electrically conductive deposit over
patterned
conductive substrate - formed by CVD
at below 500 degrees
C creating p or n type low resistance
layer over
substrate directly, conforming to
pre-existing conductive
pattern

PATENT-ASSIGNEE: HANNA J[HANNI]

PRIORITY-DATA: 1996JP-0108784 (March 25, 1996)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	MAIN-IPC
JP 09260293 A		October 3, 1997	N/A
004	H01L 021/205		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
JP 09260293A	N/A	
1996JP-0108784	March 25, 1996	

INT-CL (IPC): C23C016/04, H01L021/205 , H01L021/28 ,
H01L021/285 ,
H01L021/3205

ABSTRACTED-PUB-NO: JP 09260293A

BASIC-ABSTRACT:

The electrically conductive deposit is formed through use
of germanium halide
and a silane that in a CVD type process lead to a p or n
type low resistance
conductive SiGe layer. The substrate has over it a

preexisting conductive
pattern which is typically either aluminium or chromium
based. The process
uses temperatures below 500 deg. C and results in
conductive deposit
conforming to the conductive patterns already existing on
the substrate. Non
conducting areas of substrate typically SiO₂ covered, do
not attract SiGe
deposit.

USE - For use in formation of matching layers, ohmic layers
in various Si based
devices including TFTs.

ADVANTAGE - Simplifies processing substantially as it
involves no
photolithographic techniques.

CHOSEN-DRAWING: Dwg.1/1

TITLE-TERMS: ELECTRIC CONDUCTING DEPOSIT PATTERN CONDUCTING
SUBSTRATE FORMING

CVD BELOW DEGREE P N TYPE LOW RESISTANCE LAYER
SUBSTRATE CONFORM
PRE EXIST CONDUCTING PATTERN

DERWENT-CLASS: L03 U11

CPI-CODES: L04-C01B;

EPI-CODES: U11-C01B; U11-C01J4A; U11-C05C3; U11-C05E1;
U11-C05F;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1997-173311

Non-CPI Secondary Accession Numbers: N1997-451837

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-260293

(43)公開日 平成9年(1997)10月3日

(51)Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/205			H 0 1 L 21/205	
C 2 3 C 16/04			C 2 3 C 16/04	
H 0 1 L 21/28	3 0 1		H 0 1 L 21/28	3 0 1 Z
21/285			21/285	C
21/3205			21/88	B
審査請求 未請求 請求項の数3 書面 (全 4 頁)				

(21)出願番号 特願平8-108784

(22)出願日 平成8年(1996)3月25日

(71)出願人 595062573

半那 純一

神奈川県横浜市緑区上山町541-5

(72)発明者 半那 純一

神奈川県横浜市緑区上山町541-5

(54)【発明の名称】 導電性パターンの形成方法

(57)【要約】

【目的】 p型またはn型に制御された低抵抗のSiGeからなる導電性パターンを基材選択的に500℃以下の低温で形成することを可能にする。

【構成】 基材上にパターン状に形成された導電性基材上に、ドーパントガスを含むハロゲン化ゲルマニウムとシラン類を原料ガスとする熱CVD法を用いて、500℃以下の温度で選択的に低抵抗のSiGeからなる導電性パターンを形成する。

【特許請求の範囲】

【請求項1】 ハロゲン化ゲルマニウムとシラン類を原料とする熱CVD技術によって、基材に該基材とは異なるパターン状に形成された基材上のみ選択的に、p型あるいはn型SiGeからなる導電性パターンを形成する方法

【請求項2】 前記基材がガラス、酸化ケイ素、窒化ケイ素から選ばれる非晶質基材、あるいは無機絶縁性材料からなる結晶質基材からなる請求項1記載の方法

【請求項3】 前記パターン状に形成された基材が無機導電性材料である請求項1記載の方法

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電子デバイス等の接合層、電極とのオーミック層、配線などに用いる導電性パターンを基材上に形成する方法に関する。

【0002】

【従来の技術】薄膜トランジスタをはじめとする各種Si系電子デバイスには、整合層、電極とのオーミック層、あるいは配線の形成のために、p型あるいはn型に制御された低抵抗のSi系半導体層が広く用いられている。この半導体層の形成にあたって、必要とする特定の部分にのみ選択的に半導体層を形成することができればデバイス作製におけるプロセス行程の短縮と素子の微細化に伴う信頼性、歩留まりの向上に極めて有効である。こうした考えから、基材に単結晶Siを用いる高温プロセスを利用する半導体プロセスでは、HClを含むハロシラン類を原料とするCVD技術によって選択的に特定の部分にのみ半導体層を形成することが行なわれている。

【0003】しかしながら、安価な低融点基材を用いる薄膜トランジスタや太陽電池をはじめとする大面積電子デバイスの作製では材料作製に500℃以下の低温プロセスを必要とするため、特定の部分にのみ選択的にSi系半導体層を形成することが困難である。このため、一般に、これらの半導体層の形成には、各種CVD技術等を用いてまず均一に半導体層を形成した後、フォトリソグラフィ技術を用いてレジスト層をパターニングし、これをマスクとするエッチング等との組み合わせによって、特定の部分にのみ半導体層を形成することが行なわれる。このため、デバイス作製の際の工程数が増えるばかりでなく、素子の信頼性や歩留まりを損ねる要因の一つとなっている。

【0004】

【発明が解決しようとする問題点】本発明は、従来困難であった500℃以下の低温において、電子デバイスの接合層、電極とのオーミック層、素子間の配線などに用いる低抵抗の半導体層を特定の基材上のみ選択的に形成する方法を提供することを目的とする。

【0005】

【問題を解決するための手段】本発明者は、研究の結果、ハロゲン化ゲルマニウムとシラン類との熱CVDにおいて、従来結晶質Si/SiO₂系、例えばSiO₂でパターニングされたSi基板などSi基材においてのみ見出されていたSiGeの選択成長が、ガラス、窒化ケイ素、あるいは、酸化ケイ素などの非晶質基材上、あるいは、サファイヤをはじめとする絶縁性結晶質基材上にパターン状に形成された各種無機導電性基材を用いても同様にSiGeをパターニングされた基材上のみ選択的に成長することができることを見出した。さらに、当該熱CVD技術において、原料ガスに半導体プロセスで用いられるジボラン、フォスフィン、アルシン等のドーパントガスを添加しておくことによって、p型あるいはn型に制御された低抵抗のSiGeを堆積できることを確認した。この知見をもとに、前述の導電性材料でパターニングされた基材を用いて、ドーピングガスを含む原料ガスによる熱CVD法によりSiGeの堆積を行なうことによって、従来困難であった500℃以下の低温において、パターニングされた導電性の基材上のみ選択的にp型あるいはn型に制御された低抵抗のSiGeからなる導電性パターンを容易に形成する技術を確立した。

【0006】すなわち、本発明は、500℃以下の温度で、ジボラン、フォスフィン、アルシン等のドーパントガスを含むハロゲン化ゲルマニウムとシラン類を原料とする熱CVD法を用いて、基材上にパターン状に形成された導電性の基材上にp型あるいはn型に制御された低抵抗のSiGeを選択的に形成することを特徴とする導電性パターンの形成方法である。

【0007】パターニングされた基材上への選択的なSiGeの堆積には、フッ化ゲルマニウムや塩化ゲルマニウムなどのハロゲン化ゲルマニウムとその還元有効なシラン、ジシラン、あるいはそのハロゲン誘導体を原料ガスに用いることが重要である。この場合、原料ガスは、He、Ar、窒素などの不活性ガスや水素などで希釈して用いることが出来る。希釈ガスを選ぶことによって、選択的なSiGeの堆積が実現できる堆積温度や反応圧力などの作製条件の範囲を制御することが可能となる。原料ガスの流量比によって堆積するSiGeの組成をかえることができるが、ジシラン、フッ化ゲルマニウムを原料に用いる場合、その流量比(ジシラン/フッ化ゲルマニウム)は0.5~40が適当であり、好ましくは0.5~20とすることが望ましい。本CVD系に見られる選択成長性は、表面での原料ガスの選択的な活性化が重要な役割を果たしていると考えられ、表面近傍での熱によるホモジニアスな原料ガスの分解が誘起される条件では選択性が消失する。したがって、選択性の実現にあたっては、基材の選択が重要であるとともに、膜の成長条件、特に表面近傍での原料ガス間の反応を支配する堆積温度および反応圧力が重要なパラメータとなる。

該CVD系の膜堆積には250～300℃以上の堆積温度を必要とするが、選択的な成長が実現できる温度領域は、一般的に比較的低い温度領域、500℃以下に限られる。また、反応圧力は堆積温度との関係で選択されるが、一般的な傾向として、表面近傍での反応が支配的となる圧力の高い条件では選択性は失われ、数+ Torr以下の低圧ほど選択的な堆積が起こりやすい。

【0008】p型SiGeの作製には、p型ドーパントとしてジボランが有効である。キャリア濃度は、ジボランの流量（シラン類に対し10ppm～10%）によって制御可能であるが、導電率が10S/cm程度（キャリア濃度が $10^{17} \sim 10^{18} \text{ cm}^{-3}$ ）の場合には本系の固有の特徴からドーピングガスを用いなくとも作製が可能である。一方、n型SiGeの作製には、n型ドーパントガスを用いる必要があり、フォスフィン、アルシンが有効である。導電率、キャリア濃度は、同様にドーパントガスの流量（シラン類に対し10ppm～10%）によって制御することができる。

【0009】選択的にSiGeを堆積する基材は、無機導電性基材、例えば、アルミニウム、クロム、タングステン、ニッケル、銅、銀、金などの金属やその合金のほか、ITO、酸化スズなどの一部の導電性酸化物から選ぶことができる。酸化物の場合、それを構成する金属酸化物がシラン類によって一部還元されてできる金属が同様の膜の成長を促すことが考えられる。これらの基材をパターン状に前記基材上に形成することによって、選択的にSiGeからなる該導電性パターンを形成することができるが、これは、形状は特にパターンに限られるわけではない。

【0010】

【実施例】以下の実施例によって、本発明を詳細に説明するが、これらによって限定されるものではない。

【0011】実施例1

Siウェーハの熱酸化によって形成したSiO₂上にアルミニウム薄膜をパターン状に形成した基板を用いて、フッ化ゲルマニウムとジシランをそれぞれ2.7sccmおよび20sccm、希釈のためにHeを300sccm反応容器に流し、圧力を0.45torr、基板温度を325℃で20分堆積を行なったところ、アルミニウム上のみ選択的にSiGeが0.38μm堆積した。堆積膜はp型で導電率は10～15S/cmであった。さらに、基板温度を変化させて成長を行なったところ、375℃までは選択成長性が維持され、基板温度が400℃では非選択的なSiGe膜の堆積が見られた。膜厚は、350℃では0.55μm、375℃では1.1μmであった。膜厚が大きくなるにつれて導電率が上昇する傾向は見られるが、いずれの膜も電気特性に大きな変化は見られなかった。

【0012】実施例2

ガラス基板上にアルミニウム薄膜をパターン状に形成し

た基板を用いて実施例1と同じ条件で膜を成長したところ、アルミニウム上のみ選択的にSiGeが0.4μm堆積した。基板材質をSiO₂からガラスに代えても、膜の電気特性を含む選択性成長の特性には大きな違いは見られなかった。

【0013】実施例3

実施例1と同様な条件下で、Siウェーハの熱酸化によって形成したSiO₂上にクロム薄膜をパターン状に形成した基板を用いて膜の堆積を行なったところ、クロム上にのみ選択的に0.17μmのSiGeが堆積した。堆積膜の導電率は実施例1と同様であった。さらに、基板温度を変化させて成長を行なったところ、375℃までは選択成長性が維持され、基板温度が400℃では非選択的なSiGe膜の堆積が見られた。膜厚は、350℃では0.35μm、375℃では0.7μmであった。いずれの膜も電気特性には大きな違いは見られなかった。

【0014】実施例4

実施例2と同様に、ガラス基板上にクロム薄膜をパターン状に形成したガラス基板を用いて膜を成長したところ、0.2μmのSiGe膜が選択的にクロム上に堆積した。堆積膜の電気特性は、実施例1と同じであった。

【0015】実施例5

Siウェーハの熱酸化によって形成したSiO₂上にアルミニウム薄膜をパターン状に形成した基板を用いて、フッ化ゲルマニウムとジシランをそれぞれ2sccm、15sccm、n型ドーパントガスとしてジシランに対しフォスフィン濃度を1000ppm、希釈のためにArを300sccm反応容器に流し、圧力を1torr、基板温度を350℃で20分堆積を行なったところ、アルミニウム上のみ選択的にSiGeが0.6μm堆積した。膜はn型で、導電率は45S/cmであった。

【0016】実施例6

実施例5と同様な条件下で、p型ドーパントガスとしてジボランを1000ppm含むジシランを用いてCVDを行なったところ、アルミニウム上のみSiGe膜が0.5μm堆積した。堆積膜はp型で、導電率は22S/cmであった。

【0017】

【発明の効果】本発明は、熱CVD法により500℃以下の低温で、p型またはn型に制御された低抵抗SiGeを導電性の基材上に選択的に堆積することによって導電性パターンを形成する方法である。これは、従来、大面積デバイスの作製などに用いられる500℃以下の低温プロセスでは実現が困難であった選択成長技術によって、特定の部分にのみ選択的にSi系低抵抗半導体層を形成することを可能にするものである。これによって、デバイスの接合層、活性層と電極をつなぐオーミック層、配線などを、膜成長とこれに引き続くフォトリソグ

ラフィとエッチングプロセスによらないで形成することを可能にするもので、電子デバイスの作製に新たな発展をもたらすきわめて有益な発明である。

【図面の簡単な説明】

【図1】実施例1および3において、アルミニウム上(上)およびクロム上(下)に選択的に形成されたSiGe膜の電子顕微鏡写真である。平坦に見える部分がSiGeの堆積が見られないSiO₂部分である。

【図1】

